

DIALOG(R) File 347:JAPIO  
(c) 1999 JPO & JAPIO. All rts. reserv.

05585829      \*\*Image available\*\*  
PHOTOELECTRIC TRANSDUCER AND SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.:        09-200629 [J P 9200629 A]  
PUBLISHED:      July 31, 1997 (19970731)  
INVENTOR(s):    TAKAHASHI HIDEKAZU  
                 SHINOHARA MASATO  
APPLICANT(s):   CANON INC [000100] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:      08-007329 [JP 967329]  
FILED:          January 19, 1996 (19960119)  
INTL CLASS:     [6] H04N-005/335; H01L-027/146; H01L-031/10  
JAPIO CLASS:    44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --  
                 Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,  
                 CCD & BBD)

#### ABSTRACT

PROBLEM TO BE SOLVED: To read out an image signal just at one section inside an area in terms of a block with a CMOS area sensor.

SOLUTION: Concerning an amplifier type photoelectric transducer provided with two-dimensional sensor picture elements 21, transfer circuit 17 for transferring the pixel signals of sensor picture elements 21 and two-dimensional memory picture elements 20 for recording the transferred pixel signals, either the sensor picture element 21 or the memory picture element 20 is provided with two switches 3 and 4 or 9 and 10 for write or reset at least, one is controlled by vertical selection circuits 15 and 16 and the other is controlled by horizontal selection circuits 18 and 19. Besides, concerning the photoelectric transducer provided with line sensor picture elements 21, transfer circuit 17 for transferring the line sensor picture elements 21 and memory picture elements 20 for recording the output of the transfer circuit 17 as many as the line sensor picture elements 21 at least, either the line sensor picture element 21 or the memory picture element 20 is provided with switches 3 and 4 or 9 and 10 for write or reset at least and controlled by a selection circuit having the prescribed number of picture elements.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-200629

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H04N 5/335

H04N 5/335

U

H01L 27/146

H01L 27/14

A

31/10

31/10

G

審査請求 未請求 請求項の数5 OL (全8頁)

(21)出願番号

特願平8-7329

(22)出願日

平成8年(1996)1月19日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 篠原 真人

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

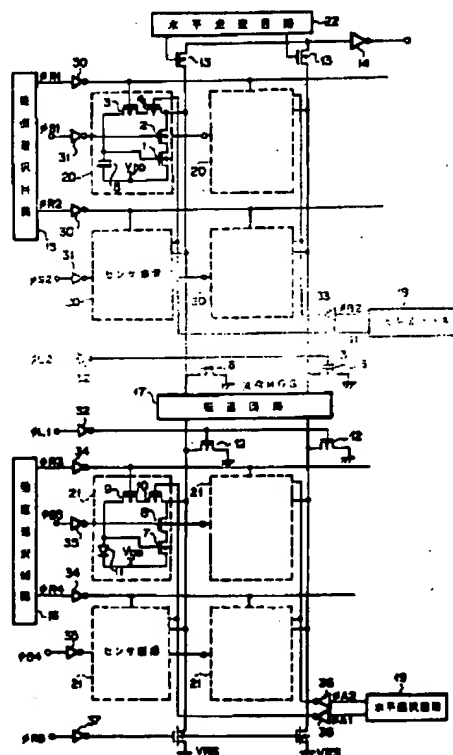
(74)代理人 弁理士 山下 機平

(54)【発明の名称】 光電変換装置と半導体集積回路

(57)【要約】

【課題】 CMOSエリアセンサーにおいて、そのエリア内の1部分だけの画像信号をブロック的に読み出せることを課題とする。

【解決手段】 2次元のセンサー画素と、当該センサー画素の画素信号を転送する転送回路と、当該転送された画素信号を記録する2次元のメモリ画素とを備えた増幅器の光電変換装置において、前記センサー画素又は前記メモリ画素の少なくとも一方に、書き込み時又はリセット用のスイッチを設け、片方を垂直選択回路、もう一方を水平選択回路で制御することを特徴とする。また、ラインセンサー画素と当該ラインセンサーの画素を転送する転送回路と、当該転送回路の出力を記録する少なくとも前記ラインセンサー画素と同数の画素数のメモリ画素とを備えた光電変換装置において、前記ラインセンサー画素又は前記メモリ画素の少なくとも一方に、書き込み用又はリセット用のスイッチを設け所定数の画素の選択回路で制御することを特徴とする。



1

## 【特許請求の範囲】

【請求項1】 2次元のセンサー画素と、当該センサー画素の画素信号を転送する転送回路と、当該転送された画素信号を記録する2次元のメモリ画素とを備えた増幅型の光電変換装置において、

前記センサー画素又は前記メモリ画素の少なくとも一方に、リセット用又は書き込み用のスイッチを2個設け、片方を垂直選択回路、もう一方を水平選択回路で制御することを特徴とする光電変換装置。

【請求項2】 ラインセンサー画素と当該ラインセンサーの画素を転送する転送回路と、当該転送回路の出力を記録する少なくとも前記ラインセンサー画素と同数の画素数のメモリ画素とを備えた光電変換装置において、前記ラインセンサー画素又は前記メモリ画素の少なくとも一方に、リセット用又は書き込み用のスイッチを設け所定数の画素を選択する選択回路で制御することを特徴とする光電変換装置。

【請求項3】 ラインセンサー用複数の画素と当該ラインセンサー用の画素の出力をそれぞれ記録するメモリ画素とを備えた光電変換装置において、前記ラインセンサー用画素又は前記メモリ画素の少なくとも一方に、リセット用又は書き込み用のスイッチを設け、前記複数の画素中所定数の画素を選択する選択回路で制御することを特徴とする光電変換装置。

【請求項4】 2次元のセンサー画素と、当該センサー画素の画素信号を転送する転送回路と、当該転送された画素信号を記録する2次元のメモリ画素とをMOSプロセスにより形成した半導体集積装置において、前記センサー画素又は前記メモリ画素の少なくとも一方に、リセット用又は書き込み用のスイッチを2個設け、片方を垂直選択回路、もう一方を水平選択回路で制御することを特徴とする半導体集積装置。

【請求項5】 ラインセンサー用複数画素と当該ラインセンサー用複数画素の出力を記録する少なくとも前記ラインセンサー用画素と同数の画素数のメモリ画素とを備えた半導体集積装置において、前記ラインセンサー用複数画素又は前記メモリ画素の少なくとも一方に、リセット用又は書き込み用のスイッチを設け、前記複数画素中所定数の画素を選択する選択回路によって制御することを特徴とする半導体集積装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光電変換装置及び半導体集積装置に関し、特にCMOS型ラインセンサー及びエリアセンサーと同数画素のメモリ画素を備え、少なくともブロック毎に取り扱える光電変換装置及び半導体集積装置に関する。

【0002】

【従来の技術】光電変換素子としては一般にCCD型とMOS型があり、CCD型では読み取った光電変換の電

2

荷を順次転送して画像信号とする一方、MOS型はMOSトランジスタのゲートに光電変換の電荷を蓄積し、その電位変化を外部へ電荷増幅して走査タイミングに従って出力する。この後者のMOS型光電変換装置には光電変換素子を縦横に複数個並置したエリアセンサーがよく用いられる。このエリアセンサーには、光電変換素子を2次元に配置し、1ライン毎に光電変換画素を蓄積し、蓄積キャパシタに転送し、この蓄積キャパシタに蓄積された電荷信号を水平走査レジスタからのタイミング信号によって時系列的に読み出し、1ラインの読み出しを終了する。そして前記蓄積キャパシタの残留電荷をリセットして、次の1ライン分の読み出しを開始する。

【0003】一方、このエリアセンサーに対して、エリアセンサー相当のメモリ画素を設ける例がある。例えば、この光電変換素子及びこの光電変換素子と同数のメモリ画素とを備え、一体的にCMOSプロセスコンパチで形成したものであり、以下CMOS型エリアセンサーと称する。このCMOS型エリアセンサーにおける画像信号読み出しは、まず2次元構成の光電変換素子から1ライン分画素信号を読み出し、転送回路を介して画素信号を該当する1ラインのメモリ画素に蓄積し、順次ライン毎に読み出し→転送→メモリ蓄積を繰り返す。1フレーム分読み出しを終えれば、メモリ画素を1ライン分毎に時系列的に読み出して、一連の画像信号を得ることができる。そうして再度同じ画像信号を得るために、メモリ画素を読み出すことが可能であり、非破壊メモリとして何度も同じ画像信号を得ることができる。

【0004】

【発明が解決しようとする課題】しかしながら、上記CMOSエリアセンサーは、1ライン毎に画像信号を検出し、1ライン毎に画像信号を出力するものなので、エリアセンサーの1部分だけの画像信号を得ることはできない。この1部分の画像が必要な場合、例えば、カメラの焦点制御の際に視線検出を行ない、視線の向く所に焦点を合わせる必要がある場合がある。この場合、エリアセンサーの視線の向く1部分の焦点誤差を検出するため、エリアセンサーの1部分の画像信号を得る必要がある。この場合、上記構成のCMOSエリアセンサーでは対応できない。

【0005】また、1直線上に配置された光電変換装置においても、該1直線上の一部だけの画像検出ができないので、例えば1部だけの複写を要求された複写機の場合に、1直線全体の読み出しが必要になり、無駄な動作を行っていた。

【0006】従って、本発明の課題は、かかるCMOSラインセンサーやCMOSエリアセンサーにおいて、そのライン又はエリア内の1部分だけの画像信号を読み出せることを課題とする。

【0007】

【課題を解決する手段】本発明は、上記課題を解決する

ために成されたもので、2次元のセンサー画素と、当該センサー画素の画素信号を転送する転送回路と、当該転送された画素信号を記録する2次元のメモリ画素とを備えた増幅型の光電変換装置において、前記センサー画素又は前記メモリ画素の少なくとも一方に、書き込み用又はリセット用のスイッチを2個設け、片方を垂直選択回路、もう一方を水平選択回路で制御することを特徴とする。

【0008】また、2次元のエリアセンサーに限らず1次元のラインセンサーの場合には、ラインセンサー画素と当該ラインセンサーの画素を転送する転送回路と、当該転送回路の出力を記録する少なくとも前記ラインセンサー画素と同数の画素数のメモリ画素とを備えた光電変換装置において、前記ラインセンサー画素又は前記メモリ画素の少なくとも一方に、書き込み用又はリセット用のスイッチを設け所定数の画素の選択回路で制御することを特徴とする。

【0009】

【発明の実施の形態】

(第1の実施形態) 図1は本発明による2×2画素の光電変換装置とメモリ画素の回路図である。図において、1は反転アンプのアンプMOSトランジスタ、2はスイッチパルスφS1によりオンするスイッチ用MOSトランジスタ、3は垂直選択回路15からの書込パルスφS2により制御される第1の書込MOSトランジスタ、4は水平選択回路18で制御される第2の書込MOSトランジスタ、5は電荷蓄積用キャパシタであり、以上は1つのメモリ画素20を構成する。また6は反転アンプMOSトランジスタ1の負荷MOSトランジスタで、反転アンプMOSトランジスタ1との組合せによって反転アンプを構成する。

【0010】また、7は反転アンプのアンプMOSトランジスタ、8はスイッチパルスφS3によりオンするスイッチ用MOSトランジスタ、9は垂直選択回路16からの書込パルスφS3により制御される第1のリセットMOSトランジスタ、10は水平選択回路19で制御される第2のリセットMOSトランジスタ、11はフォトダイオードであり、以上は1つのセンサー画素21を構成する。また12は反転アンプMOSトランジスタ7の負荷MOSトランジスタで、反転アンプMOSトランジスタ7との組合せによって反転アンプを構成する。13は水平走査回路22の水平走査タイミング信号に基づいてメモリ画素20の電荷蓄積用キャパシタ5の画素信号を出力アンプ14に出力する水平スイッチMOSトランジスタ、30～37はインバータである。なお、各MOSトランジスタの極性はこれらに限定されなくてもよく、好適に選択すればよいものである。

【0011】本実施形態では、水平選択回路18、19で制御される書込MOSトランジスタとリセットMOSトランジスタを設けたことを特徴とする。

【0012】図1において、本CMOSエリアセンサーではセンサー画素21のフォトダイオード11にて対象物を読み取り、転送回路17でセンサー画素21の画像信号を1ライン又は水平選択回路19の制御に従ったブロックの水平ライン毎に転送し、当該画像信号をセンサー画素20の電荷蓄積用キャパシタ5に水平ライン毎に又は水平選択回路18の制御に従ったブロックの水平ライン毎に蓄積する。その後、水平走査回路22からのタイミングに従い、且つ水平選択回路18の制御に従ったブロック毎に水平スイッチMOSトランジスタ13を導通し、出力アンプ14から、画像信号又は所定のブロックの画像信号として画像信号を出力する。

【0013】各センサー画素21では、まず垂直選択回路16からリセットパルスφR3をハイレベルとし、水平選択回路19から所定の指示による選択ブロックに従って水平選択パルスをハイレベルとして、フォトダイオード11の残留電荷を第1、第2のリセットMOSトランジスタ9、10をオンして、負荷パルスφL1をハイレベルとして負荷MOSトランジスタ12を導通してアースレベルにリセットする。次に、フォトダイオード11を所定時間対象物によって露光する。そうして所定時間経過後、負荷パルスφL1をハイレベルとして負荷MOSトランジスタ6を導通して、スイッチパルスφS3をハイレベルにしてアンプMOSトランジスタ7でフォトダイオード11の画像電荷を増幅してスイッチ用MOSトランジスタ8を導通し、転送回路17のスイッチングMOSトランジスタでメモリ画素部に転送する。

【0014】次に、転送回路17の具体例を図2に示して説明する。図2において、41はCMOSセンサ画素21からの信号を転送する転送MOSトランジスタ、42はセンサ画素21へ信号をフィードバックするMOSトランジスタ、43はメモリ画素20からの信号を転送するMOSトランジスタ、44はメモリ画素20へ信号をフィードバックするMOSトランジスタ、45はクランプ容量48をリセットするMOSトランジスタ、46はソースホロワ回路のアンプMOSトランジスタ、47は定電流源である。

【0015】各メモリ画素20では、まず垂直選択回路15から書込パルスφR1をハイレベルとし、水平選択回路18から所定の指示による選択ブロックに従って水平選択パルスをハイレベルとして、蓄積用キャパシタ5の残留電荷を第1、第2の書込MOSトランジスタ9、10をオンして、負荷パルスφL2をハイレベルとして負荷MOSトランジスタ6を導通してアースレベルにリセットする。次に、上記転送回路17からのセンサー画素の画像信号を、垂直選択回路15から書込パルスφR1をハイレベルとし、水平選択回路18から所定の指示による選択ブロックに従って水平選択パルスφB1をハイレベルとして、第1、第2の書込MOSトランジスタ3、4をオンして、負荷パルスφL2をハイレベルとして、蓄積用

5

キャパシタ5に蓄積する。次に、水平走査回路22のタイミング信号により転送MOSトランジスタ13をオンし、負荷パルス $\phi L2$ をハイレベルとして負荷MOSトランジスタ6を導通し、スイッチパルス $\phi S1$ をハイレベルにしてアンプMOSトランジスタ1で蓄積された蓄積用キャパシタの電荷電圧を増幅してスイッチ用MOSトランジスタ2を導通し、転送MOSトランジスタ13を介して出力アンプ14から、画像信号又は所定のブロックの画像信号として画像信号を出力する。

【0016】図3に、本実施形態1のより詳しい駆動方法のタイミングチャートを示す。図3においては、メモリ画素へのランダム書き込みの例を示している。

【0017】時刻T0において、制御パルス $\phi RS$ 、 $\phi B1$ 、 $\phi B2$ 、 $\phi A1$ 、 $\phi A2$ 、 $\phi R1 \sim \phi R4$ をハイとし、センサ画素21、メモリ画素20、転送回路17のリセットを行なう。時刻T1において、 $\phi S3$ をハイとし、センサ画素21の信号を転送回路17に送る。時刻T2において、 $\phi R3$ 、 $\phi A1$ 、 $\phi A2$ をハイとし、転送回路17からの信号（ここではノイズ成分である）をセンサー画素21にフィードバックする。ここで、センサ画素21のノイズ成分とフィードバックしてきたノイズ成分とがキャンセルされる。

【0018】次に、時刻T3において、センサー画素21から再び信号を転送回路17に送り、クランプする。時刻T4において、メモリ画素20の $\phi R1$ 、 $\phi B1$ 、 $\phi B2$ をハイとして、センサー画素21、転送回路17からの初期信号を書き込む。

【0019】以上の動作を全ラインで行い、リセット動作を完了させる。その後、任意の蓄積時間の後、センサー画素21からの信号読み出しを行い、その値をメモリ画素に書き込む。

【0020】時刻T5において、 $\phi S3$ をハイとし、センサー画素21の信号を読み出す。時刻T6において、 $\phi S1$ をハイとし、メモリ画素21から初期状態の信号を読み出し、センサー画素21との差信号を得る。時刻T7において、センサー画素21の信号と初期信号の差分の光信号をメモリ画素20に書き込む。この書き込みの時に、水平走査回路からパルスを発生させ、任意のメモリ画素に書き込みを行なう。図3においては、 $\phi B1$ をハイとし、 $\phi B2$ をローにして、 $\phi B1$ につながるメモリ画素20のみ、信号を書き込むタイミングと成っている。

【0021】本例において、センサー画素21のリセットパルス $\phi R3$ 、 $\phi R4$ と、水平選択回路19の $\phi A1$ 、 $\phi A2$ とを同期させ、全ラインのリセットを行ったが、 $\phi A1$ 、 $\phi A2$ を選択させて、任意の画素のみのリセットを行えるのは勿論である。また、水平選択回路の各制御線に接続されたメモリ画素がブロックとして扱われる例を示したが、この制御線を各メモリ画素毎に設けておけば、制御線への制御パルスに従って、複数の任意なブロックとして、対象画像毎に異ならせることも可能である。また、

6

ブロック化が固定的であれば、ハード的に制御線の接続をそのブロックに対して共通接続することでもよい。

【0022】また、上記は水平選択回路18によってメモリ画素20のブロック化について説明したが、上記と同様な動作によって、水平選択回路19で指令された所定の領域のブロックだけを選択して所定のフォトダイオードだけを所定時間だけ露光し、読み出して転送し、水平選択回路18では蓄積用キャパシタ5の残留電荷をリセットするときには全てのメモリ画素20をリセットして、転送されてきた画像信号に対する該当するブロックだけに蓄積用キャパシタ5の書き込む書込MOSトランジスタ4をオンすることで、所定ブロックの蓄積用キャパシタ5に書き込むことができる。そうして、書き込まれた蓄積電荷を非破壊メモリとして、何回でも水平走査回路22の走査に従って読み出すことができる。また、センサー画素21については露光開始時間を自由に設定・制御して各フォトダイオード11の電荷量を飽和させないレベルとして、ブルーミングを防止できる。こうして、特定のブロックだけの画像を検出して、例えば視線センサーとして視線方向に合わせてカメラのAFを達成することができる。

【0023】また、本実施形態においては、水平選択回路18、19の出力の全てをオンにして通常のライン毎に読み出すことができるのは勿論である。

【0024】上記実施態様では、反転アンプ型CMOSセンサーにおけるブロック制御を可能とした例を示したが、ライン又はエリアセンサーであれば、CCD型であっても、MOS型センサーであっても本発明を適用できる。

【0025】（第2の実施形態）図4は第2の実施形態によるラインセンサーのブロック制御のブロック図を示す。図4において、21は一列に配置したセンサー画素で内部回路は図1に示したフォトダイオードを含む回路と同様である。17は転送回路であり、20はセンサー画素21に対応したメモリ画素である。22はメモリ画素20の蓄積電荷を読み出す水平走査回路である。23はセンサー画素21のブロック毎に画像を読み出す論理回路である。

【0026】図4において、外部からの指示信号28によって、例えば全ブロックを又は一つおきに、2つおきにという具合に指示制御信号を入力され、論理回路23はその指示制御信号に従って、出力指示制御信号24、27の全て、出力指示信号24、26だけ、出力指示信号24、27だけ等との組合せをハイレベルとして、各センサー画素21の所定のブロックだけをオンして画像信号を読み出す。読み出された画像信号はスイッチMOSトランジスタ等から構成される転送回路17にて一括して転送し、メモリ画素20に書き込む。書き込まれた画像信号は水平走査回路22のタイミング信号によって順次画像信号を出力する。この場合、指定されたブロック

の画像信号だけでなく、指定されていないブロックの暗部信号をも出力されるので、画像信号中信号のない部分がある。よって、水平走査回路のタイミング信号を論理回路23から水平走査回路22への指示により、必要な画像信号だけを出力することも可能である。こうして、ラインセンサーのセンサー画素21におけるブロック読み出しを可能とし、ブロックが大きいほど論理回路23からの配線が簡単となる。なお、論理回路23と各センサー画素21とを全て配線しておけば、ブロックの大きさを指示入力に従って任意に且つ自由に設定できる。

【0027】(第3の実施形態)図5はエリアセンサーにおけるセンサー画素からメモリ画素への転送方を説明する概念図である。センサー画素21内の斜線を付した部分が転送回路を介してメモリ画素20内の斜線を付した部分に蓄積される。一度蓄積された画像信号はリセットされるまで、不揮発性メモリとして何回も同一信号を読み出せる。このエリアセンサーで、例えば視線方向に従ったカメラ用AFセンサーとして用いる場合、エリアセンサー内を3×8の24ブロックに分け、視線の方向に従ってどのブロックに該当するかを特定し、その特定ブロックの画像を読み出し、カメラレンズの位置毎に、その特定ブロックの画像を読み出して、最適なフォーカス位置を判断してAFを取り、その状態でシャッターを所定のスピードで撮影する。撮影の際は、全センサー画素から画像信号を読み出し、視線に合った映像信号を出力することができる。

【0028】図においては、ブロック(a)～(c)の各ブロックを読み出す概念を示している。ブロック(a)～(c)の読み出し、転送の後、更には露光を行い、残りのブロックをメモリへ転送させていく。

【0029】本実施形態では、ライン又はエリアセンサーのセンサー画素をブロック的に制御する例、及びセンサー画素に対応した非破壊メモリ画素をブロック的に制御する例及びこれらの複合型の例を示したが、これらはカメラのAF制御、視線検出等、多彩な活用が可能であり、応用例に限定されるものではない。

【0030】

【発明の効果】以上説明したように、本発明による光電変換装置及び半導体集積回路によれば、CMOSセンサーのブロック制御を可能とし、センサー画素のランダムアクセスの読み出しを可能とし、メモリ画素のランダムアクセス書込を可能とし、不揮発性のメモリ画素によって同一画像信号を複数回に亘って得ることができる。

【図面の簡単な説明】

【図1】本発明による光電変換装置及び半導体集積回路の回路図である。

10 【図2】本発明による光電変換装置及び半導体集積回路の転送回路の回路図である。

【図3】本発明による光電変換装置及び半導体集積回路の動作を示すタイミングチャートである。

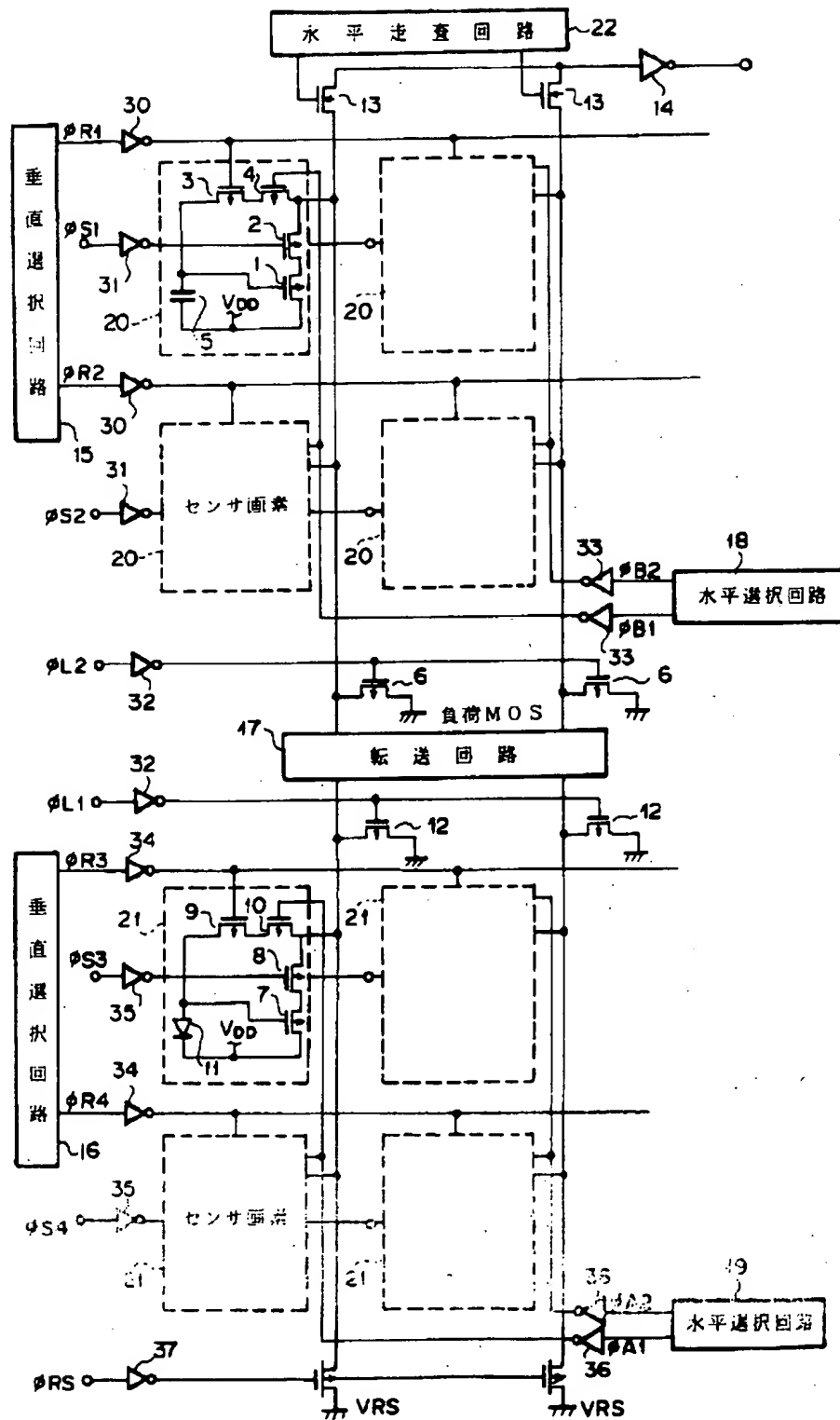
【図4】本発明による光電変換装置の他の回路ブロック図である。

【図5】本発明による他の実施態様のブロック図である。

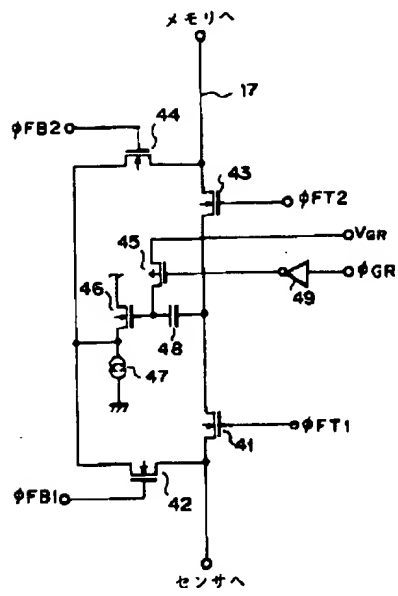
【符号の説明】

- 1, 7 アンプ用MOSTランジスタ
- 2, 8 スイッチ用MOSTランジスタ
- 3 書込MOSTランジスタ
- 4 書込MOSTランジスタ
- 5 蓄積用キャパシタ
- 6, 12 負荷MOSTランジスタ
- 9 リセットMOSTランジスタ
- 10 リセットMOSTランジスタ
- 11 フォトダイオード
- 13 転送MOSTランジスタ
- 14 出力アンプ
- 30 15, 16 垂直選択回路
- 17 転送回路
- 18, 19 水平選択回路
- 20 メモリ画素
- 21 センサー画素
- 22 水平走査回路
- 23 論理回路

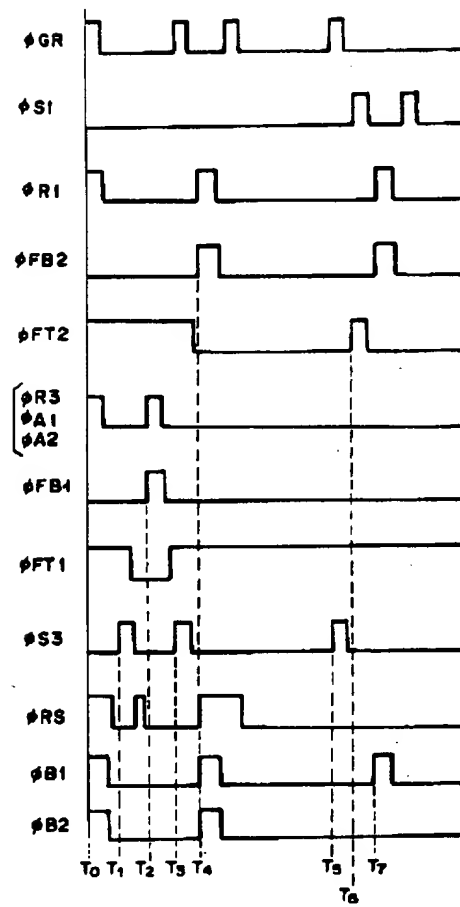
【図1】



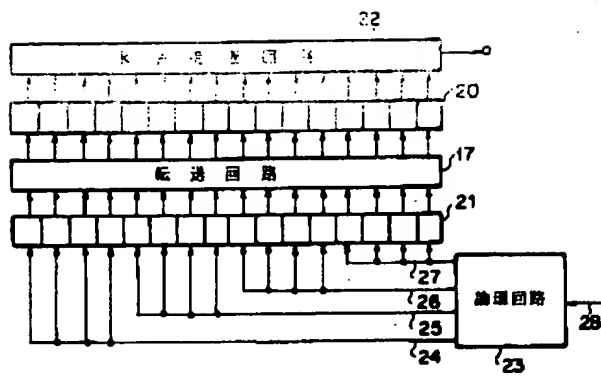
【図2】



【図3】



【図4】





【図5】

